

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 3 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 5 4 0 4
Application Number:

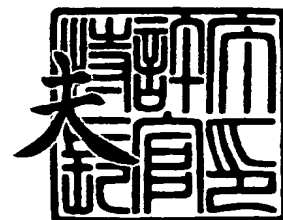
[ST. 10/C]: [J P 2 0 0 3 - 0 3 5 4 0 4]

出 願 人 株 式 会 社 デ ン ソ ー
Applicant(s):

2 0 0 4 年 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 PSN843

【提出日】 平成15年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/161
H01L 29/772

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 ラジェシュ クマール

【発明者】

【住所又は居所】 英国 ケンブリッジ CB 1 3 P A バーンサイド 9
5 ケンブリッジ大学内

【氏名】 フローリン ウッドレア

【発明者】

【住所又は居所】 英国 ケンブリッジ CB 2 2 H Q ギルメルトン・
コート 3 8 ケンブリッジ大学内

【氏名】 アンドレイ ミハイラ

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100106149

【弁理士】

【氏名又は名称】 矢作 和行

【電話番号】 052-220-1100

【手数料の表示】

【予納台帳番号】 010331

【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 炭化珪素半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の電界効果トランジスタと、第 2 の電界効果トランジスタとが、同じ炭化珪素からなる半導体基板に集積化され、

前記第 2 の電界効果トランジスタのドレインが、前記第 1 の電界効果トランジスタのソースに接続され、

前記第 2 の電界効果トランジスタと前記第 1 の電界効果トランジスタのゲート同士が接続されてなることを特徴とする炭化珪素半導体装置。

【請求項 2】 珪素からなる MOS 型電界効果トランジスタのドレインが、前記第 2 の電界効果トランジスタのソースに接続され、

前記珪素からなる MOS 型電界効果トランジスタのソースが、前記炭化珪素半導体装置のゲートに接続されることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】 前記珪素からなる MOS 型電界効果トランジスタが、5 ボルト以上、10 ボルト以下のゲート電圧により、オン状態となることを特徴とする請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】 第 1 の電界効果トランジスタと、第 2 の電界効果トランジスタとが、同じ炭化珪素からなる半導体基板に集積化され、

前記第 2 の電界効果トランジスタのドレインが、前記第 1 の電界効果トランジスタのソースに接続され、

前記第 2 の電界効果トランジスタのソースが、前記第 1 の電界効果トランジスタのゲートに接続されてなることを特徴とする炭化珪素半導体装置。

【請求項 5】 前記半導体基板が、炭化珪素からなり高濃度の第 1 導電型不純物を含有する第 1 半導体層と、

当該第 1 半導体層上に形成され、炭化珪素からなり低濃度の第 1 導電型不純物を含有する第 2 半導体層と、

当該第 2 半導体層上に形成され、炭化珪素からなり中濃度の第 1 導電型不純物を含有する第 3 半導体層と、

前記第 2 半導体層における前記第 3 半導体層との界面近傍において、当該界面の所定領域を覆って形成される高濃度第 2 導電型不純物拡散領域と、

前記第 3 半導体層の表層部の所定領域に形成される高濃度第 1 導電型不純物拡散領域とを有し、

前記第 1 の電界効果トランジスタが、前記第 3 半導体層の表層部に形成される高濃度第 1 導電型不純物拡散領域をソースとし、前記第 1 半導体層をドレインとし、前記高濃度第 2 導電型不純物拡散領域をゲートとし、前記第 2 半導体層における前記第 3 半導体層との界面近傍において、前記高濃度第 2 導電型不純物拡散領域に覆われない領域がチャンネルとなる縦型の接合型電界効果トランジスタであり、

前記第 2 の電界効果トランジスタが、前記第 3 半導体層の表層部に離間して形成される 2 つの高濃度第 1 導電型不純物拡散領域をソースおよびドレインとし、前記高濃度第 2 導電型不純物拡散領域をゲートとし、前記第 3 半導体層がチャンネルとなる横型の接合型電界効果トランジスタであることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 6】 前記半導体基板が、炭化珪素からなり高濃度の第 1 導電型不純物を含有する第 1 半導体層と、

当該第 1 半導体層上に形成され、炭化珪素からなり低濃度の第 1 導電型不純物を含有する第 2 半導体層と、

当該第 2 半導体層上に形成され、炭化珪素からなり中濃度の第 1 導電型不純物を含有する第 3 半導体層と、

前記第 2 半導体層における前記第 3 半導体層との界面近傍において、当該界面の所定領域を覆って形成される高濃度第 2 導電型不純物拡散領域と、

前記第 3 半導体層の表層部の所定領域に形成される高濃度第 1 導電型不純物拡散領域とを有し、

前記第 1 の電界効果トランジスタが、前記第 3 半導体層の表層部に形成される高濃度第 1 導電型不純物拡散領域をソースとし、前記第 1 半導体層をドレインとし、前記高濃度第 2 導電型不純物拡散領域をゲートとし、前記第 2 半導体層における前記第 3 半導体層との界面近傍において、前記高濃度第 2 導電型不純物拡散

領域に覆われない領域がチャネルとなる縦型の接合型電界効果トランジスタであり、

前記第2の電界効果トランジスタが、前記第3半導体層の表層部に離間して形成される2つの高濃度第1導電型不純物拡散領域をソースおよびドレインとし、当該ソースとドレインに対応する高濃度第1導電型不純物拡散領域の間で、前記第3半導体層上に絶縁膜を介して形成される電極をゲートとし、前記第3半導体層がチャネルとなる横型の蓄積型MOS型電界効果トランジスタであることを特徴とする請求項1乃至4のいずれか1項に記載の炭化珪素半導体装置。

【請求項7】 前記半導体基板が、炭化珪素からなり高濃度の第1導電型不純物を含有する第1半導体層と、

当該第1半導体層上に形成され、炭化珪素からなり低濃度の第1導電型不純物を含有する第2半導体層と、

当該第2半導体層上に形成され、炭化珪素からなり中濃度の第1導電型不純物を含有する第3半導体層と、

前記第2半導体層における前記第3半導体層との界面近傍において、当該界面の所定領域を覆って形成される高濃度第2導電型不純物拡散領域と、

前記第3半導体層の表層部の所定領域に形成される中濃度第2導電型不純物拡散領域と、

前記第3半導体層の表層部の所定領域に形成される高濃度第1導電型不純物拡散領域とを有し、

前記第1の電界効果トランジスタが、前記第3半導体層の表層部に形成される高濃度第1導電型不純物拡散領域をソースとし、前記第1半導体層をドレインとし、前記高濃度第2導電型不純物拡散領域をゲートとし、前記第2半導体層における前記第3半導体層との界面近傍において、前記高濃度第2導電型不純物拡散領域に覆われない領域がチャネルとなる縦型の接合型電界効果トランジスタであり、

前記第2の電界効果トランジスタが、前記中濃度第2導電型不純物拡散領域に隣接して形成される2つの離間した高濃度第1導電型不純物拡散領域をソースおよびドレインとし、当該ソースとドレインに対応する高濃度第1導電型不純物拡

散領域の間で、前記中濃度第 2 導電型不純物拡散領域上に絶縁膜を介して形成される電極をゲートとし、前記中濃度第 2 導電型不純物拡散領域がチャンネルとなる横型の反転型 MOS 型電界効果トランジスタであることを特徴とする請求項 4 に記載の炭化珪素半導体装置。

【請求項 8】 前記第 3 半導体層に前記高濃度第 2 導電型不純物拡散領域に達する絶縁領域が形成され、

当該絶縁領域により、第 3 半導体層が前記第 1 の電界効果トランジスタのソースが形成される第 1 領域と前記第 2 の電界効果トランジスタが形成される第 2 領域に分離されることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 9】 前記高濃度第 2 導電型不純物拡散領域が、前記第 1 の電界効果トランジスタのチャンネルを除いた前記界面の全面を覆って形成され、

当該高濃度第 2 導電型不純物拡散領域により、前記第 2 領域が前記第 2 半導体層から分離されることを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 10】 横型の電界効果トランジスタと、縦型の接合型電界効果トランジスタとが、同じ炭化珪素からなる半導体基板に集積化されてなる炭化珪素半導体装置の製造方法であって、

前記縦型の接合型電界効果トランジスタのドレインとなる、炭化珪素からなり高濃度の第 1 導電型不純物を含有する第 1 半導体層上に、前記縦型の接合型電界効果トランジスタのチャンネルが形成される、炭化珪素からなり低濃度の第 1 導電型不純物を含有する第 2 半導体層を形成する第 2 半導体層形成工程と、

前記第 2 半導体層の表層部の所定領域に、第 2 導電型不純物を高濃度にイオン注入して、前記縦型の接合型電界効果トランジスタのゲートとなる高濃度第 2 導電型不純物拡散領域を形成する高濃度第 2 導電型不純物拡散領域形成工程と、

前記第 2 半導体層および高濃度第 2 導電型不純物拡散領域上に、前記縦型の接合型電界効果トランジスタのソースが形成されると共に、前記横型の電界効果トランジスタのソースとドレインが形成される、炭化珪素からなり中濃度の第 1 導電型不純物を含有する第 3 半導体層を形成する第 3 半導体層形成工程と、

前記第3半導体層の表層部の所定領域に、第1導電型不純物を高濃度にイオン注入して、前記縦型の接合型電界効果トランジスタのソース、および前記横型の電界効果トランジスタのソースとドレインとなる高濃度第1導電型不純物拡散領域を形成する高濃度第1導電型不純物拡散領域形成工程とを有することを特徴とする炭化珪素半導体装置の製造方法。

【請求項11】 前記第3半導体層に前記高濃度第2導電型不純物拡散領域に達する絶縁領域を形成する絶縁領域形成工程を有し、

前記絶縁領域により、前記第3半導体層が、前記縦型の接合型電界効果トランジスタのソースが形成される第1領域と、前記横型の電界効果トランジスタが形成される第2領域に分離されることを特徴とする請求項10に記載の炭化珪素半導体装置の製造方法。

【請求項12】 前記絶縁領域形成工程が、前記第3半導体層に前記高濃度第2導電型不純物拡散領域に達するトレンチを形成するトレンチ形成工程と、

前記トレンチの表面に絶縁層を形成する絶縁層形成工程とからなることを特徴とする請求項11に記載の炭化珪素半導体装置の製造方法。

【請求項13】 前記高濃度第2導電型不純物拡散領域が、前記縦型の接合型電界効果トランジスタのチャネルを除いた前記第2半導体層の表面の全面を覆って形成されることを特徴とする請求項10乃至12のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項14】 前記横型の電界効果トランジスタが、横型の接合型電界効果トランジスタであって、

前記高濃度第2導電型不純物拡散領域が当該横型の接合型電界効果トランジスタのゲートとなり、前記第3半導体層が当該横型の接合型電界効果トランジスタのチャネルとなることを特徴とする請求項10乃至13のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項15】 前記横型の電界効果トランジスタが、横型の蓄積型MOS型電界効果トランジスタであって、

当該横型の蓄積型MOS型電界効果トランジスタのソースとドレインに対応する高濃度第1導電型不純物拡散領域の間で、前記第3半導体層上に絶縁膜を介し

て形成される電極がゲートとなり、前記第3半導体層が当該横型の蓄積型MOS型電界効果トランジスタのチャネルとなることを特徴とする請求項10乃至13のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【請求項16】 前記横型の電界効果トランジスタが、横型の反転型MOS型電界効果トランジスタであって、

前記第3半導体層の表層部の所定領域に、中濃度第2導電型不純物拡散領域を形成する中濃度第2導電型不純物拡散領域形成工程を有し、

当該横型の反転型MOS型電界効果トランジスタのソースとドレインに対応する高濃度第1導電型不純物拡散領域の間で、前記中濃度第2導電型不純物拡散領域上に絶縁膜を介して形成される電極がゲートとなり、前記中濃度第2導電型不純物拡散領域が当該横型の反転型MOS型電界効果トランジスタのチャネルとなることを特徴とする請求項10乃至13のいずれか1項に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、炭化珪素からなる半導体基板に、2種類の電界効果トランジスタが集積化されてなる炭化珪素半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

炭化珪素（SiC）からなり、ゲート電圧が零の時に電流が流れずオフ状態である、いわゆるノーマリオフで動作するMOS型電界効果トランジスタ（MOSFET）の製作が試みられている。しかしながら、SiC（例えば4H-SiC）で構成されたMOSFETは、移動度と信頼性がまだ不十分であり、期待されている性能が実現できていない。これに対し、SiCで構成され、ゲート電圧が零の時に電流が流れてオン状態である、いわゆるノーマリオンで動作する接合型電界効果トランジスタ（JFET）は、高耐圧、低オン抵抗のものが、例えば、米国特許第5396085号明細書（特許文献1）に開示されている。

【0003】

特許文献 1 に開示された半導体装置は、SiC で構成されたノーマリオンで動作する JFET と、珪素 (Si) で構成された低耐圧の MOSFET とを組み合わせたもので、全体としてノーマリオフで動作する半導体装置となっている。この半導体装置では、低い逆バイアス電圧 (低いドレイン電圧) に対しては Si-MOSFET によって耐圧を持たせ、高い逆バイアス電圧 (高いドレイン電圧) に対しては SiC-JFET の空乏層を伸ばすことによって耐圧を持たせている。

【0004】

しかしながら、上記の特許文献 1 に開示された半導体装置では、Si と SiC という 2 種類の半導体材料をもとに、それぞれの素子を形成している。従って、上記の半導体装置を構成するためには Si と SiC の 2 チップが必要となり、パッケージが大きくなると共に、配線による伝導損失が大きくなるという問題がある。また、Si-MOSFET を使用しているため、高温域 (例えば 200℃ 以上) で半導体装置を動作させることができないという問題もある。

【0005】

この問題を解決するために、本発明者らは、2 種類の縦型の JFET を組み合わせて、同じ SiC からなる半導体基板に集積化した炭化珪素半導体装置を発明した。この炭化珪素半導体装置は、ノーマリオフで動作する縦型の JFET とノーマリオンで動作する縦型の JFET を組み合わせたもので、全体としてノーマリオフで動作させることができる。尚、この発明については、すでに特許出願済み (出願番号 2001-313120) である。

【0006】

【特許文献 1】 米国特許第 5396085 号明細書

【0007】

【発明が解決しようとする課題】

本発明は、上記特許文献 1 に開示された半導体装置の問題を解決すると共に、上記特許出願中の炭化珪素半導体装置に較べ、より高性能で、安価に製造することのできる炭化珪素半導体装置およびその製造方法を提供することを目的としている。

【0008】**【課題を解決するための手段】**

請求項1に記載の炭化珪素半導体装置は、第1の電界効果トランジスタと、第2の電界効果トランジスタとが、同じ炭化珪素からなる半導体基板に集積化され、前記第2の電界効果トランジスタのドレインが、前記第1の電界効果トランジスタのソースに接続され、前記第2の電界効果トランジスタと前記第1の電界効果トランジスタのゲート同士が接続されてなることを特徴としている。

【0009】

この炭化珪素半導体装置は、2つの電界効果トランジスタ（FET）を組み合わせ、同じSiCからなる半導体基板に集積化したものである。第2のFETのドレインを第1のFETのソースに接続し、第2のFETと第1のFETのゲート同士を接続することで、この炭化珪素半導体装置を、三端子の半導体装置としている。

【0010】

この炭化珪素半導体装置は、SiCからなる1種類の半導体基板に集積化されており、1チップで構成することができる。従って、パッケージが大きくなることを防止できると共に、配線による伝導損失を低減することができる。また、Siを用いていないため、高温域（例えば200℃以上）でも的確に動作させることが可能である。

【0011】

また、上記の接続によれば、第1のFETを高電圧で動作する素子とし、第2のFETを低電圧で動作する素子とすることで、当該炭化珪素半導体装置を、高耐圧で制御が容易な半導体装置とすることができる。

【0012】

請求項2に記載の発明は、珪素からなるMOS型電界効果トランジスタのドレインが、前記第2の電界効果トランジスタのソースに接続され、前記珪素からなるMOS型電界効果トランジスタのソースが、前記炭化珪素半導体装置のゲートに接続されることを特徴としている。

【0013】

これによれば、互いに接続された前記珪素からなるMOS型電界効果トランジスタ（Si-MOSFET）と前記炭化珪素半導体装置を、全体として、ノーマリオフで動作する三端子の半導体装置とすることができる。

【0014】

また、Si-MOSFETが前記炭化珪素半導体装置の第2のFETに接続されるため、Si-MOSFETを用いない場合に較べて、炭化珪素半導体装置をより低電圧で制御することができる。言い換えれば、炭化珪素半導体装置をより高耐圧の半導体装置として用いることができる。また、別チップで構成された安価なSi-MOSFETが利用できるので、Si-MOSFETの接続によるコストアップは抑制される。

【0015】

請求項3に記載の発明は、前記珪素からなるMOS型電界効果トランジスタが、5ボルト以上、10ボルト以下のゲート電圧により、オン状態となることを特徴としている。

【0016】

これによれば、当該Si-MOSFETを介して、ロジック回路の電圧レベルで前記炭化珪素半導体装置を制御することができ、回路全体が簡略化される。

【0017】

請求項4に記載の炭化珪素半導体装置は、第1の電界効果トランジスタと、第2の電界効果トランジスタとが、同じ炭化珪素からなる半導体基板に集積化され、前記第2の電界効果トランジスタのドレインが、前記第1の電界効果トランジスタのソースに接続され、前記第2の電界効果トランジスタのソースが、前記第1の電界効果トランジスタのゲートに接続されてなることを特徴としている。

【0018】

この炭化珪素半導体装置も、請求項1に記載の炭化珪素半導体装置と同様に、2つの電界効果トランジスタ（FET）を組み合わせて、同じSiCからなる半導体基板に集積化したものである。一方、この炭化珪素半導体装置では、第2のFETのドレインを第1のFETのソースに接続し、第2のFETのソースを第1のFETのゲートに接続して、三端子の半導体装置としている。

【0019】

この炭化珪素半導体装置は、請求項1に記載の発明と同様に、SiCからなる1チップに構成することができ、従って、パッケージが小さくなると共に、配線による伝導損失を低減することができる。また、高温域（例えば200℃以上）でも的確に動作させることが可能である。

【0020】

上記の接続によれば、第1のFETを高電圧で動作する素子とし、第2のFETを低電圧で動作する素子とすることで、高耐圧で制御が容易な炭化珪素半導体装置とすることができる。さらに、上記のように接続された第1のFETと第2のFETからなる当該炭化珪素半導体装置は、全体として、ノーマリオフで動作する三端子の半導体装置とすることができる。

【0021】

請求項5～7に記載の発明は、前記炭化珪素半導体装置の具体的な構造に関するものである。請求項5～7に記載の発明は、前記第1のFETとして、いずれも縦型の接合型電界効果トランジスタ（JFET）を用いるものである。請求項5に記載の発明は、前記第2のFETとして横型の接合型電界効果トランジスタ（JFET）を用いている。請求項6に記載の発明は、前記第2のFETとして横型の蓄積型MOS型電界効果トランジスタ（ACCUFET）を用いている。請求項7に記載の発明は、前記第2のFETとして横型の反転型MOS型電界効果トランジスタ（INVFET）を用いている。

【0022】

請求項5に記載の発明は、前記半導体基板が、炭化珪素からなり高濃度の第1導電型不純物を含有する第1半導体層と、当該第1半導体層上に形成され、炭化珪素からなり低濃度の第1導電型不純物を含有する第2半導体層と、当該第2半導体層上に形成され、炭化珪素からなり中濃度の第1導電型不純物を含有する第3半導体層と、前記第2半導体層における前記第3半導体層との界面近傍において、当該界面の所定領域を覆って形成される高濃度第2導電型不純物拡散領域と、前記第3半導体層の表層部の所定領域に形成される高濃度第1導電型不純物拡散領域とを有し、前記第1の電界効果トランジスタが、前記第3半導体層の表層

部に形成される高濃度第1導電型不純物拡散領域をソースとし、前記第1半導体層をドレインとし、前記高濃度第2導電型不純物拡散領域をゲートとし、前記第2半導体層における前記第3半導体層との界面近傍において、前記高濃度第2導電型不純物拡散領域に覆われない領域がチャンネルとなる縦型の接合型電界効果トランジスタであり、前記第2の電界効果トランジスタが、前記第3半導体層の表層部に離間して形成される2つの高濃度第1導電型不純物拡散領域をソースおよびドレインとし、前記高濃度第2導電型不純物拡散領域をゲートとし、前記第3半導体層がチャンネルとなる横型の接合型電界効果トランジスタであることを特徴としている。

【0023】

請求項6に記載の発明は、前記半導体基板が、炭化珪素からなり高濃度の第1導電型不純物を含有する第1半導体層と、当該第1半導体層上に形成され、炭化珪素からなり低濃度の第1導電型不純物を含有する第2半導体層と、当該第2半導体層上に形成され、炭化珪素からなり中濃度の第1導電型不純物を含有する第3半導体層と、前記第2半導体層における前記第3半導体層との界面近傍において、当該界面の所定領域を覆って形成される高濃度第2導電型不純物拡散領域と、前記第3半導体層の表層部の所定領域に形成される高濃度第1導電型不純物拡散領域とを有し、前記第1の電界効果トランジスタが、前記第3半導体層の表層部に形成される高濃度第1導電型不純物拡散領域をソースとし、前記第1半導体層をドレインとし、前記高濃度第2導電型不純物拡散領域をゲートとし、前記第2半導体層における前記第3半導体層との界面近傍において、前記高濃度第2導電型不純物拡散領域に覆われない領域がチャンネルとなる縦型の接合型電界効果トランジスタであり、前記第2の電界効果トランジスタが、前記第3半導体層の表層部に離間して形成される2つの高濃度第1導電型不純物拡散領域をソースおよびドレインとし、当該ソースとドレインに対応する高濃度第1導電型不純物拡散領域の間で、前記第3半導体層上に絶縁膜を介して形成される電極をゲートとし、前記第3半導体層がチャンネルとなる横型の蓄積型MOS型電界効果トランジスタであることを特徴としている。

【0024】

請求項 7 に記載の発明は、前記半導体基板が、炭化珪素からなり高濃度の第 1 導電型不純物を含有する第 1 半導体層と、当該第 1 半導体層上に形成され、炭化珪素からなり低濃度の第 1 導電型不純物を含有する第 2 半導体層と、当該第 2 半導体層上に形成され、炭化珪素からなり中濃度の第 1 導電型不純物を含有する第 3 半導体層と、前記第 2 半導体層における前記第 3 半導体層との界面近傍において、当該界面の所定領域を覆って形成される高濃度第 2 導電型不純物拡散領域と、前記第 3 半導体層の表層部の所定領域に形成される中濃度第 2 導電型不純物拡散領域と、前記第 3 半導体層の表層部の所定領域に形成される高濃度第 1 導電型不純物拡散領域とを有し、前記第 1 の電界効果トランジスタが、前記第 3 半導体層の表層部に形成される高濃度第 1 導電型不純物拡散領域をソースとし、前記第 1 半導体層をドレインとし、前記高濃度第 2 導電型不純物拡散領域をゲートとし、前記第 2 半導体層における前記第 3 半導体層との界面近傍において、前記高濃度第 2 導電型不純物拡散領域に覆われない領域がチャンネルとなる縦型の接合型電界効果トランジスタであり、前記第 2 の電界効果トランジスタが、前記中濃度第 2 導電型不純物拡散領域に隣接して形成される 2 つの離間した高濃度第 1 導電型不純物拡散領域をソースおよびドレインとし、当該ソースとドレインに対応する高濃度第 1 導電型不純物拡散領域の間で、前記中濃度第 2 導電型不純物拡散領域上に絶縁膜を介して形成される電極をゲートとし、前記中濃度第 2 導電型不純物拡散領域がチャンネルとなる横型の反転型 MOS 型電界効果トランジスタであることを特徴としている。

【0025】

上記の請求項 5 ～ 7 に記載された各構造により、横型の J F E T、A C C U F E T もしくは I N V F E T と縦型の J F E T がコンパクトに組み合わせられて、同じ S i C からなる半導体基板に集積化される。従って、請求項 5 ～ 7 に記載の各炭化珪素半導体装置を小型にすることができ、配線による伝導損失も低減される。また、これらの各炭化珪素半導体装置は、横型の J F E T、A C C U F E T もしくは I N V F E T と縦型の J F E T を組み合わせているため、縦型の J F E T 同士を組み合わせる炭化珪素半導体装置に較べて、半導体基板内に形成される内部構造が簡単になる。従って、これらの各炭化珪素半導体装置は、製造ばら

つきが少なく、高性能で、安価に製造することのできる半導体装置とすることができる。

【0026】

また、請求項5～7に記載の各炭化珪素半導体装置では、高耐圧で低オン抵抗の縦型のJFETを、低電圧で動作する横型のJFET、ACCUFETもしくはINVFETで制御する。従って、請求項5～7に記載の各炭化珪素半導体装置は、全体として、制御が容易で高性能な炭化珪素半導体装置とすることができる。

【0027】

請求項8に記載の発明は、前記第3半導体層に前記高濃度第2導電型不純物拡散領域に達する絶縁領域が形成され、当該絶縁領域により、第3半導体層が前記第1の電界効果トランジスタのソースが形成される第1領域と前記第2の電界効果トランジスタが形成される第2領域に分離されることを特徴としている。

【0028】

本発明の炭化珪素半導体装置においては、上記のように絶縁領域を形成することができる。従って、当該絶縁領域によって、炭化珪素半導体装置を構成する第1のFETである縦型のJFETと、第2のFETである横型のJFET、ACCUFETもしくはINVFETの相互干渉を防止することができる。

【0029】

請求項9に記載の発明は、前記高濃度第2導電型不純物拡散領域が、前記第1の電界効果トランジスタのチャネルを除いた前記界面の全面を覆って形成され、当該高濃度第2導電型不純物拡散領域により、前記第2領域が前記第2半導体層から分離されることを特徴としている。

【0030】

これによれば、第1のFETである縦型のJFETのチャネルを除いた界面の全面を覆って形成される高濃度第2導電型不純物拡散領域により、第2領域に回り込む縦型のJFETからのノイズ等を抑制することができる。従って、第2領域に形成される横型のJFET、ACCUFETもしくはINVFETへのノイズ等による悪影響を防止できる。

【0031】

請求項10～16に記載の発明は、前記炭化珪素半導体装置の製造方法に関するものである。

【0032】

請求項10～13および請求項14に記載の製造方法を用いることで、上記の請求項5, 8, 9に記載した、横型のJFETと縦型のJFETとからなる炭化珪素半導体装置を製造することができる。請求項10～13および請求項15に記載の製造方法を用いることで、上記の請求項6, 8, 9に記載した、横型のACCUFETと縦型のJFETとからなる炭化珪素半導体装置を製造することができる。また、請求項10～13および請求項16に記載の製造方法を用いることで、上記の請求項7, 8, 9に記載した、横型のINVFETと縦型のJFETとからなる炭化珪素半導体装置を製造することができる。これらの製造方法によって製造される炭化珪素半導体装置は、前記と同様の作用効果を有しており、その説明は省略する。

【0033】

これらの縦型のJFETと横型のJFET, ACCUFETもしくはINVFETとからなる炭化珪素半導体装置の製造方法は、2種類の縦型のJFETを組み合わせた構造を持つ炭化珪素半導体装置の製造方法に較べて、工程が簡単である。従って、これらの製造方法を用いて、縦型のJFETと横型のJFET, ACCUFETもしくはINVFETとからなる炭化珪素半導体装置を、安価に製造することができる。

【0034】**【発明の実施の形態】**

以下、本発明の実施の形態を、図に基づいて説明する。

【0035】**(第1の実施形態)**

図1は、本実施形態における炭化珪素半導体装置100の断面模式図である。また図2は、図1に示す炭化珪素半導体装置100の等価回路図である。

【0036】

図 1 に示す炭化珪素半導体装置 100 は、図中の点線で囲った横型の接合型電界効果トランジスタ J F E T 2 と、縦型の接合型電界効果トランジスタ J F E T 1 とが、同じ S i C からなる半導体基板 10 に集積化された半導体装置である。尚、簡単化のために、図 1 では線分 A - A を対称軸とする縦型の J F E T 1 の半分が示されている。実際の炭化珪素半導体装置 100 では、線分 A - A を対称軸として L a の範囲を反転した 2 倍の L a の範囲が繰り返し単位となって、炭化珪素半導体装置 100 が構成されている。

【0037】

図 1 に示す半導体基板 10 は、n + 型の第 1 半導体層 1 と、第 1 半導体層 1 上に形成された n - 型の第 2 半導体層 2 と、第 2 半導体層 2 上に形成された n 型の第 3 半導体層とからなり、いずれの層も S i C からなっている。第 2 半導体層 2 における第 3 半導体層 3 との界面近傍には、界面の所定領域を覆って p + 型不純物拡散領域 4 が形成されている。また、第 3 半導体層 3 の表層部の所定領域には n + 型不純物拡散領域 5 が形成されている。

【0038】

図 1 における縦型の J F E T 1 は、n 型の第 3 半導体層 3 の表層部に形成された n + 型不純物拡散領域 5 をソース S 1 とし、n + 型の第 1 半導体層 1 をドレイン D 1 としている。また、p + 型不純物拡散領域 4 をゲート G 1 とし、n - 型の第 2 半導体層 2 における第 3 半導体層 3 との界面近傍において、p + 型不純物拡散領域 4 に覆われない領域がチャネル C 1 となっている。

【0039】

図 1 における横型の J F E T 2 は、n 型の第 3 半導体層 3 の表層部に離間して形成された 2 つの n + 型不純物拡散領域 5 をソース S 2 およびドレイン D 2 としている。また、縦型の J F E T 1 と同じ p + 型不純物拡散領域 4 をゲート G 2 としており、n 型の第 3 半導体層 3 がチャネル C 2 となっている。

【0040】

尚、図 1 において、n + 型の第 1 半導体層 1、n + 型不純物拡散領域 5 および p + 型不純物拡散領域 4 に接続するハッチングを施した部分は、電極を示している。また、符号 9 は、p + 型不純物拡散領域 4 に達するトレンチの表面に形成さ

れた絶縁層を示し、絶縁層 9 に形成されたビアホールを介して、p + 型不純物拡散領域 4 に接続する電極が形成されている。

【0041】

図 1 と図 2 に示す炭化珪素半導体装置 100 においては、J F E T 2 のドレイン D 2 は、J F E T 1 のソース S 1 に接続されている。また、前記のように、J F E T 1 と J F E T 2 は、共通の p + 型不純物拡散領域 4 をそれぞれのゲート G 1 / G 2 としている。従って、図 2 の等価回路図では、J F E T 2 と J F E T 1 におけるそれぞれのゲート G 1 / G 2 同士が接続されている。

【0042】

図 1 と図 2 に示す炭化珪素半導体装置 100 は、J F E T 2 と J F E T 1 を組み合わせて、同じ S i C からなる半導体基板 10 に集積化したものである。J F E T 2 のドレイン D 2 を J F E T 1 のソース S 1 に接続し、それぞれのゲート G 1 / G 2 同士を接続することで、この炭化珪素半導体装置 100 を、三端子の半導体装置としている。

【0043】

炭化珪素半導体装置 100 は、図 1 に示すように、S i C からなる 1 種類の半導体基板 10 に集積化されており、1 チップで構成することができる。従って、パッケージが大きくなることを防止できると共に、配線による伝導損失を低減することができる。また、S i を用いていないため、高温域（例えば 200℃ 以上）でも的確に動作させることが可能である。

【0044】

さらに、図 1 の炭化珪素半導体装置 100 は、横型の J F E T 2 と縦型の J F E T 1 を組み合わせているため、2 種類の縦型の J F E T 同士を組み合わせてなる炭化珪素半導体装置に較べると、半導体基板 10 内に形成される内部構造が簡単になる。従って、この炭化珪素半導体装置 100 は、製造ばらつきが少なく、高性能で、安価に製造することができる。

【0045】

図 1 に示す炭化珪素半導体装置 100 の第 3 半導体層 3 には、p + 型不純物拡散領域 4 に達するトレンチ表面に形成された絶縁層 9 からなる、絶縁領域 90 が

形成されている。この絶縁領域 90 により、図 1 の炭化珪素半導体装置 100 においては、第 3 半導体層 3 が、縦型の J F E T 1 のソース S 1 が形成される第 1 領域 31 と、横型の J F E T 2 が形成される第 2 領域 32 に分離されている。従って、この絶縁領域 90 によって、炭化珪素半導体装置 100 を構成する J F E T 1 と J F E T 2 の相互干渉が防止される。

【0046】

また、図 1 の炭化珪素半導体装置 100 では、p + 型不純物拡散領域 4 は、縦型の J F E T 1 のチャネル C 1 を除いた第 2 半導体層 2 と第 3 半導体層 3 の界面の全面を覆って形成されている。このように形成された p + 型不純物拡散領域 4 により、図 1 の炭化珪素半導体装置 100 においては、第 2 領域 32 が第 2 半導体層 2 から分離されている。従って、これにより、第 2 領域 32 に回り込む J F E T 1 からノイズ等を抑制することができ、第 2 領域 32 に形成された J F E T 2 へのノイズ等による悪影響が防止される。

【0047】

図 2 の等価回路図からわかるように、炭化珪素半導体装置 100 では、横型の J F E T 2 が、縦型の J F E T 1 と較べて、低電圧で動作する。言い換えれば、図 1, 2 に示す炭化珪素半導体装置 100 では、高耐圧で低オン抵抗の縦型の J F E T 1 を、低電圧で動作する横型の J F E T 2 で制御することになる。従って、図 1, 2 に示す炭化珪素半導体装置 100 は、全体として、高耐圧で制御が容易な高性能の半導体装置となっている。

【0048】

図 3 (a), (b) は、図 1, 2 に示す炭化珪素半導体装置 100 の電流－電圧 (I－V) 特性のシミュレーション結果である。図 3 (a) はオン状態での I－V 特性であり、図 1, 2 に示すゲート G 1 / G 2 の電圧 $V_G = 1.0\text{ V}$, 1.5 V , 2.0 V , 2.5 V の時の特性を示す。また、図 3 (b) はオフ状態での I－V 特性であり、 $V_G = -7.0\text{ V}$ の時の特性を示す。図 3 (a), (b) に見られるように、図 1, 2 に示す炭化珪素半導体装置 100 は、ゲート G 1 / G 2 に負の電位を与えた時に初めてオフ状態となる。従って、図 1, 2 の炭化珪素半導体装置 100 は、全体としてノーマリオンで動作する三端子の半導体装置と

いうことができる。

【0049】

図4は、図1, 2に示す炭化珪素半導体装置100の空乏層のシミュレーション結果である。図4は、図1, 2に示すゲートG1/G2の電圧 $V_G = -7.0$ Vで、JFET1のドレインD1の電圧 $V_{D1} = 10$ Vの場合で、図中のp-n界面の両側にある点線が空乏層の広がりであらわす。図に見られるように、 $V_G = -7.0$ Vの場合には、空乏層の広がりによってJFET1のチャネルC1は完全に遮断されオフ状態となっている。 V_G と V_{D1} の値を変えてシミュレーションした結果によれば、 $V_G = -3.0$ V程度で、JFET1のチャネルC1を遮断することができる。また、同じ $V_G = -7.0$ Vの場合には、 V_{D1} が高くなるほど空乏層が広がり、 V_{D1} が高電圧となってもJFET1のチャネルC1を完全に遮断することができる。

【0050】

図5は、図1, 2に示す炭化珪素半導体装置100において、トータル電圧 V_{dd} に対して、JFET1とJFET2の各々のドレインD1, D2にかかる電圧 V_D を示したグラフである。図に見られるように、トータル電圧 V_{dd} を大きくしていくと、JFET1には高電圧がかかっていくが、JFET2は低い電圧のままである。従って、図1, 2に示す炭化珪素半導体装置100では、JFET2は低電圧で動作させることができる。

【0051】

図1, 2の炭化珪素半導体装置100は、別チップで構成された珪素(Si)からなるMOS型電界効果トランジスタ(Si-MOSFET)を接続して、制御してもよい。

【0052】

図6は、その接続例を示す等価回路図である。一点差線で囲った部分が図1, 2の炭化珪素半導体装置100で、SiからなるMOS型電界効果トランジスタ(Si-MOSFET3)のドレインD3が、JFET2のソースS2に接続されている。また、Si-MOSFET3のソースS3が、炭化珪素半導体装置100のゲートG1/G2に接続されて、ゲートG1/G2が逆バイアスされ、炭

化珪素半導体装置 100 が Si-MOSFET 3 により制御される。図 6 の等価回路図の接続により、互いに接続された Si-MOSFET 3 と炭化珪素半導体装置 100 を、全体として、ノーマリオフで動作する三端子の半導体装置とすることができる。

【0053】

図 6 の等価回路図では、Si-MOSFET 3 が炭化珪素半導体装置 100 に接続されているため、Si-MOSFET 3 を用いない場合に較べて、炭化珪素半導体装置 100 をより低電圧で制御することができる。言い換えれば、炭化珪素半導体装置 100 をより高耐圧の半導体装置として用いることができる。特に、図 6 の Si-MOSFET 3 として、5 ボルト以上、10 ボルト以下のゲート電圧により、オン状態となるものを用いれば、Si-MOSFET 3 を介して、ロジック回路の電圧レベルで炭化珪素半導体装置 100 を制御することができ、回路全体が簡略化される。また、図 6 の Si-MOSFET 3 には、別チップで構成された安価な Si-MOSFET を利用することができるので、図 6 の Si-MOSFET 3 の接続によるコストアップは抑制される。

【0054】

次に、図 1 に示す炭化珪素半導体装置 100 の製造方法を説明する。

【0055】

図 7 ～図 9 は、炭化珪素半導体装置 100 の製造方法を示す工程別断面図である。尚、図 7 ～図 9 において、図 1 の炭化珪素半導体装置 100 と同様の部分については、同じ符号を付けた。

【0056】

最初に、図 7 (a) に示すように、n 型不純物を高濃度に含有する SiC 基板 1 を準備する。SiC 基板 1 は、図 1 における n+ 型の第 1 半導体層 1 に対応する。

【0057】

次に、図 7 (b) に示すように、SiC 基板 1 上に、n 型不純物を低濃度に含有する SiC 層 2 をエピタキシャル成長させる。SiC 層 2 は、図 1 における n- 型の第 2 半導体層 2 に対応する。

【0058】

次に、図7(c)に示すように、SiC層2の表層部の所定領域にp型不純物を高濃度にイオン注入して、p+型不純物拡散領域4を形成する。p+型不純物拡散領域4は、図1の第2半導体層2における第3半導体層3との界面近傍に所定領域を覆って形成されたp+型不純物拡散領域4に対応する。尚、p+型不純物拡散領域4の形成は、次に示すSiC層3の形成後、高エネルギーイオン注入を用いて不純物を深くイオン注入し、形成してもよい。

【0059】

次に、図8(a)に示すように、SiC層2上に、n型不純物を中濃度に含有するSiC層3をエピタキシャル成長させる。SiC層3は、図1におけるn型の第3半導体層3に対応し、SiC基板1とSiC層2およびSiC層3をあわせた全体が、図1における半導体基板10に対応する。

【0060】

次に、図8(b)に示すように、SiC層3の表層部の所定領域にn型不純物を高濃度にイオン注入して、n+型不純物拡散領域5を形成する。n+型不純物拡散領域5は、図1の第3半導体層3の表層部に形成されたn+型不純物拡散領域5に対応する。

【0061】

次に、図9(a)に示すように、p+型不純物拡散領域4に達するまでSiC層3をメサ型にエッチングしてトレンチ9tを形成する。これによって、SiC層3が第1領域31と第2領域32に分離される。

【0062】

次に、図9(b)に示すように、トレンチの表面に絶縁層9を形成して、絶縁領域90が完成する。

【0063】

次に、絶縁層9にビアホールを形成し、SiC基板1、n+型不純物拡散領域5およびp+型不純物拡散領域4に接続する、図中のハッチングで施した電極を形成する。尚、図9(b)において、D2の電極とS1の電極は、接続された配線パターンとなっている。

【0064】

以上で、図1に示す炭化珪素半導体装置100が完成する。

【0065】

上記の横型のJFET2と縦型のJFET1とからなる炭化珪素半導体装置100の製造方法は、2種類の縦型のJFETを組み合わせた構造を持つ炭化珪素半導体装置の製造方法に較べて、工程が簡単である。従って、これらの製造方法を用いて、横型のJFET2と縦型のJFET1とからなる図1の炭化珪素半導体装置100を、安価に製造することができる。

【0066】

(第2の実施形態)

第1実施形態の炭化珪素半導体装置は、横型の接合型電界効果トランジスタと、縦型の接合型電界効果トランジスタとが、同じSiCからなる半導体基板に集積化された半導体装置であった。本実施形態は、横型の蓄積型MOS型電界効果トランジスタと、縦型の接合型電界効果トランジスタとが、同じSiCからなる半導体基板に集積化された半導体装置に関する。以下、本実施形態について、図に基づいて説明する。

【0067】

図10は、本実施形態における炭化珪素半導体装置110の断面模式図である。また図11は、図10に示す炭化珪素半導体装置110の等価回路図である。

【0068】

図10に示す炭化珪素半導体装置110は、図中の点線で囲った横型の蓄積型MOS型電界効果トランジスタACCUFET2と、縦型の接合型電界効果トランジスタJFET1とが、同じSiCからなる半導体基板10に集積化された半導体装置である。尚、図の記載方法は図1と同様であり、図1の炭化珪素半導体装置100と同様の部分については同じ符号を付け、その説明は省略する。

【0069】

図10の炭化珪素半導体装置110において、半導体基板11内に形成される構造は、基本的に、図1の炭化珪素半導体装置100における半導体基板10内に形成される構造と同じである。また、図10の炭化珪素半導体装置110にお

ける縦型の J F E T 1 についても、ゲート G 1 である p + 型不純物拡散領域 4 への電極配置が異なって描かれているが、基本的に、図 1 の炭化珪素半導体装置 100 における縦型の J F E T 1 と同様である。尚、図 10 では接続関係を見やすくするために、ゲート G 1 に対応する電極が模式的に半導体基板 11 の側面に書かれているが、実際の電極は、絶縁層 9 の任意の位置でビアホールを形成して、p + 型不純物拡散領域 4 へ接続するように形成される。

【0070】

図 10 の炭化珪素半導体装置 110 における横型の A C C U F E T 2 は、図 1 の横型の J F E T 2 と同様に、n 型の第 3 半導体層 3 の表層部に離間して形成された 2 つの n + 型不純物拡散領域 5 をソース S 2 およびドレイン D 2 としている。一方、図 10 の横型の A C C U F E T 2 は、ソース S 2 とドレイン D 2 に対応する n + 型不純物拡散領域 5 の間で、n 型の第 3 半導体層 3 上に絶縁膜 6 を介して形成される電極 7 をゲート G 2 とし、n 型の第 3 半導体層 3 がチャンネル C 2 となっている。

【0071】

図 10 と図 11 に示す炭化珪素半導体装置 110 においては、A C C U F E T 2 のドレイン D 2 は、J F E T 1 のソース S 1 に接続されている。また、A C C U F E T 2 のソース S 2 が、J F E T 1 のゲート G 1 に接続されて、J F E T 1 のゲート G 1 が逆バイアスされる。このようにして、図 10 と図 11 に示す炭化珪素半導体装置 110 で、縦型の J F E T 1 が横型の A C C U F E T 2 により制御される。

【0072】

図 10 と図 11 に示す炭化珪素半導体装置 110 は、ノーマリオフで動作する A C C U F E T 2 とノーマリオンで動作する J F E T 1 を組み合わせて、全体としてノーマリオフで動作する三端子の半導体装置としている。この炭化珪素半導体装置 110 についても、図 1 の炭化珪素半導体装置 100 と同様に、同じ S i C からなる半導体基板 11 に A C C U F E T 2 と J F E T 1 を集積化されるため、1 チップで構成することができる。従って、高温域でも的確に動作させることが可能であり、パッケージを小型化することができると共に、配線による伝導損

失も低減することができる。また、図10の炭化珪素半導体装置110も、図1の炭化珪素半導体装置100と同様に内部構造が簡単である。従って、この炭化珪素半導体装置110は、製造ばらつきが少なく、高性能で、安価に製造することができる。尚、図10に示す炭化珪素半導体装置110の製造方法については、基本的に図7～図9に示した炭化珪素半導体装置100の製造方法と同様で、ゲートG2となる絶縁膜6と電極7の形成が追加されるだけであり、その説明は省略する。

【0073】

図10の炭化珪素半導体装置110についても、第3半導体層3に絶縁領域90が形成されている。従って、この絶縁領域90により、炭化珪素半導体装置110を構成するJFET1とACCUFET2の相互干渉が防止される。また、p+型不純物拡散領域4についても、図1の炭化珪素半導体装置100と同様に、縦型のJFET1のチャネルC1を除いた第2半導体層2と第3半導体層3の界面の全面を覆って形成されている。従って、第2領域32に回り込むJFET1からノイズ等を抑制することができ、第2領域32に形成されたACCUFET2へのノイズ等による悪影響が防止される。

【0074】

図11の等価回路図からわかるように、炭化珪素半導体装置110では、ACCUFET2が、JFET1と較べて、低電圧で動作する。言い換えれば、図10, 11に示す炭化珪素半導体装置110では、高耐圧で低オン抵抗の縦型のJFET1を、低電圧で動作する横型のACCUFET2で制御することになる。従って、図10, 11に示す炭化珪素半導体装置110は、全体として、高耐圧で制御が容易な、ノーマリオフで動作する高性能の三端子の半導体装置となっている。

【0075】

(第3の実施形態)

第2実施形態の炭化珪素半導体装置は、横型の蓄積型MOS型電界効果トランジスタと、縦型の接合型電界効果トランジスタとが、同じSiCからなる半導体基板に集積化された半導体装置であった。本実施形態は、横型の反転型MOS型

電界効果トランジスタと、縦型の接合型電界効果トランジスタとが、同じSiCからなる半導体基板に集積化された半導体装置に関する。以下、本実施形態について、図に基づいて説明する。

【0076】

図12は、本実施形態における炭化珪素半導体装置120の断面模式図である。また図13は、図12に示す炭化珪素半導体装置120の等価回路図である。

【0077】

図12に示す炭化珪素半導体装置110は、図中の点線で囲った横型の反転型MOS型電界効果トランジスタINVFET2と、縦型の接合型電界効果トランジスタJFET1とが、同じSiCからなる半導体基板12に集積化された半導体装置である。図12の炭化珪素半導体装置120における縦型のJFET1については、基本的に、図1, 10の炭化珪素半導体装置100, 110と同様である。尚、図の記載方法は図1, 10と同様であり、図1, 10の炭化珪素半導体装置100, 110と同様の部分については同じ符号を付け、その説明は省略する。

【0078】

図12の炭化珪素半導体装置120には、半導体基板12内に形成される構造について、n型の第3半導体層3の表層部に、中濃度のp型不純物拡散領域8が形成される点で、図1, 10の炭化珪素半導体装置100, 110と異なっている。

【0079】

図12の炭化珪素半導体装置120における横型のINVFET2は、p型不純物拡散領域8に隣接して形成された2つの離間したn+型不純物拡散領域5をソースS2およびドレインD2としている。また、ソースS2とドレインD2に対応するn+型不純物拡散領域5の間で、p型不純物拡散領域8上に絶縁膜6を介して形成される電極7をゲートG2とし、p型不純物拡散領域8がチャネルC2となっている。

【0080】

図12と図13に示す炭化珪素半導体装置120においては、INVFET2

のドレインD2が、JFET1のソースS1に接続されている。また、INVFET2のソースS2が、JFET1のゲートG1に接続されて、JFET1がINVFET2により制御される。

【0081】

図12と図13に示す炭化珪素半導体装置120は、ノーマリオフで動作するINVFET2とノーマリオンで動作するJFET1を組み合わせ、全体としてノーマリオフで動作する三端子の半導体装置としている。この炭化珪素半導体装置120についても、図1, 10の炭化珪素半導体装置100, 110と同様に1チップで構成することができ、高温域での的確な動作、パッケージの小型化、配線による伝導損失の低減が可能である。また、図12の炭化珪素半導体装置120も、図1, 10の炭化珪素半導体装置100, 110と同様に内部構造が簡単で、製造ばらつきが少なく、高性能で、安価に製造することができる。

【0082】

図12に示す炭化珪素半導体装置120の製造方法については、基本的に図7～図9に示した炭化珪素半導体装置100の製造方法と同様であるが、図8(b)の工程において、n+型不純物拡散領域5とp型不純物拡散領域8を形成する。p型不純物拡散領域8の形成は、n+型不純物拡散領域5の形成と同様に、SiC層3の表層部の所定領域にp型不純物を中濃度にイオン注入しておこなう。また、図9(b)の工程において、p型不純物拡散領域8上へのゲートG2となる絶縁膜6と電極7の形成が追加される。

【0083】

図12の炭化珪素半導体装置120についても、第3半導体層3に形成された絶縁領域90により、JFET1とINVFET2の相互干渉が防止される。また、チャネルC1を除いて第2半導体層2と第3半導体層3の界面の全面を覆って形成されたp+型不純物拡散領域4により、第2領域32に回り込むJFET1からノイズ等を抑制でき、INVFET2への悪影響が防止される。

【0084】

図13の等価回路図からわかるように、炭化珪素半導体装置120でも、INVFET2はJFET1と較べて低電圧で動作し、高耐圧で低オン抵抗の縦型の

JFET1が低電圧で動作する横型のINVFET2で制御される。従って、図12, 13に示す炭化珪素半導体装置120は、全体として、高耐圧で制御が容易な、ノーマリオフで動作する高性能の三端子の半導体装置となっている。

【0085】

(他の実施形態)

第1実施形態においては、低電圧で動作する横型の電界効果トランジスタとして、図1のJFET2が用いられた炭化珪素半導体装置100を示した。一方、第1実施形態で示した図2と図6の等価回路図に用いられる第2の電界効果トランジスタとしては、図1のJFET2に限られない。図10に示すACCUFET2を用いて、図2と図6の等価回路図のように接続しても、第1実施形態の炭化珪素半導体装置100と同様の効果を得ることができる。

【0086】

また、第2実施形態と第3実施形態においては、低電圧で動作する横型の電界効果トランジスタとして、それぞれ図10のACCUFET2および図12のINVFET2が用いられた炭化珪素半導体装置110, 120を示した。一方、図11と図13の等価回路図（実質的には同じ）に用いられる第2の電界効果トランジスタとしては、図10のACCUFET2および図12のINVFET2に限られず、図1に示すJFET2を用いてもよい。但し、この場合には縦型の電界効果トランジスタと横型の電界効果トランジスタのゲートを分離する必要がある。従って、p+型不純物拡散領域は図1のようにJFET1とJFET2に対応して一体的に形成されず、JFET1に対応するp+型不純物拡散領域とJFET2に対応するp+型不純物拡散領域が分離されて形成される。このようにして形成されたJFET2を用いて、図11と図13の等価回路図のように接続しても、第2実施形態と第3実施形態の炭化珪素半導体装置110, 120と同様の効果を得ることができる。

【0087】

また、図1, 10, 12に示すいずれの炭化珪素半導体装置100, 110, 120にも絶縁領域90が形成されていた。これに限らず、縦型のJFETと横型のJFET, ACCUFETもしくはINVFETの相互干渉が問題とならな

い場合には、これらを省略することができる。また、図 1, 10, 12 に示すいずれの p + 型不純物拡散領域 4 も、縦型の J F E T 1 のチャネル C 1 を除いた第 2 半導体層 2 と第 3 半導体層 3 の界面の全面を覆って形成されていた。これに限らず、縦型の J F E T と横型の J F E T, A C C U F E T もしくは I N V F E T の相互干渉が問題とならない場合には、p + 型不純物拡散領域は、上記のように部分的に形成してもよい。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態における炭化珪素半導体装置の断面模式図である。

【図 2】

本発明の第 1 実施形態における炭化珪素半導体装置の等価回路図である。

【図 3】

第 1 実施形態における炭化珪素半導体装置の電流－電圧特性のシミュレーション結果で、(a) はオン状態の特性であり、(b) はオフ状態の特性である。

【図 4】

第 1 実施形態における炭化珪素半導体装置の空乏層のシミュレーション結果である。

【図 5】

第 1 実施形態における炭化珪素半導体装置において、縦型と横型の接合型電界効果トランジスタのドレインにかかる電圧を示したグラフである。

【図 6】

第 1 実施形態における炭化珪素半導体装置を、S i からなる M O S 型電界効果トランジスタを接続して制御する場合の等価回路図である。

【図 7】

第 1 実施形態の炭化珪素半導体装置の製造方法を示す、工程別断面図である。

【図 8】

第 1 実施形態の炭化珪素半導体装置の製造方法を示す、工程別断面図である。

【図 9】

第 1 実施形態の炭化珪素半導体装置の製造方法を示す、工程別断面図である。

【図 10】

本発明の第 2 実施形態における炭化珪素半導体装置の断面模式図である。

【図 11】

本発明の第 2 実施形態における炭化珪素半導体装置の等価回路図である。

【図 12】

本発明の第 3 実施形態における炭化珪素半導体装置の断面模式図である。

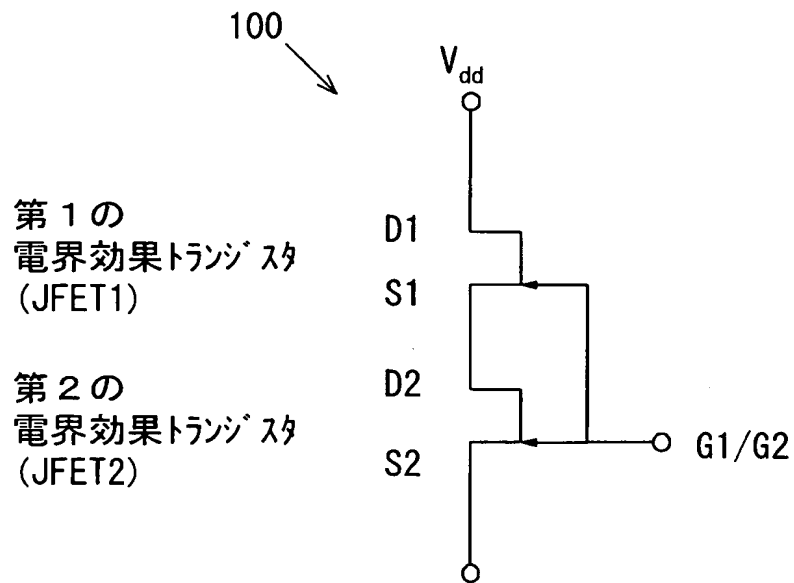
【図 13】

本発明の第 3 実施形態における炭化珪素半導体装置の等価回路図である。

【符号の説明】

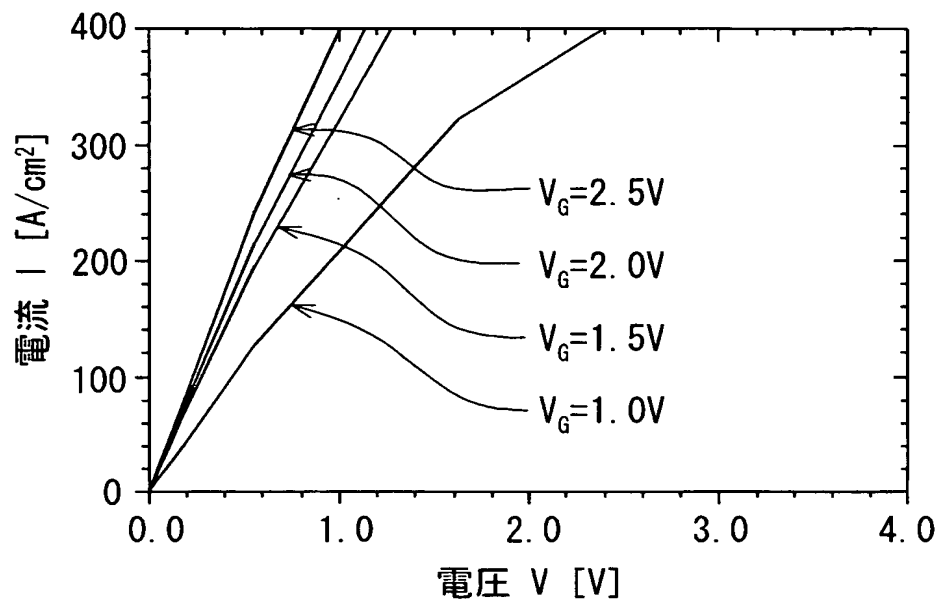
- 1 第 1 半導体層 (S i C 基板)
- 2 第 2 半導体層 (S i C 層)
- 3 第 3 半導体層 (S i C 層)
- 3 1 第 1 領域 3 1
- 3 2 第 2 領域
- 4 p + 型不純物拡散領域
- 5 n + 型不純物拡散領域
- 6 絶縁膜
- 7 電極
- 8 p 型不純物拡散領域
- 9 絶縁層
- 9 t トレンチ
- 9 0 絶縁領域
- 1 0, 1 1, 1 2 半導体基板
- 1 0 0, 1 1 0, 1 2 0 炭化珪素半導体装置
- J F E T 接合型電界効果トランジスタ
- A C C U F E T 蓄積型 MOS 型電界効果トランジスタ
- I N V F E T 反転型 MOS 型電界効果トランジスタ
- S i - M O S F E T S i からなる MOS 型電界効果トランジスタ

【図 2】

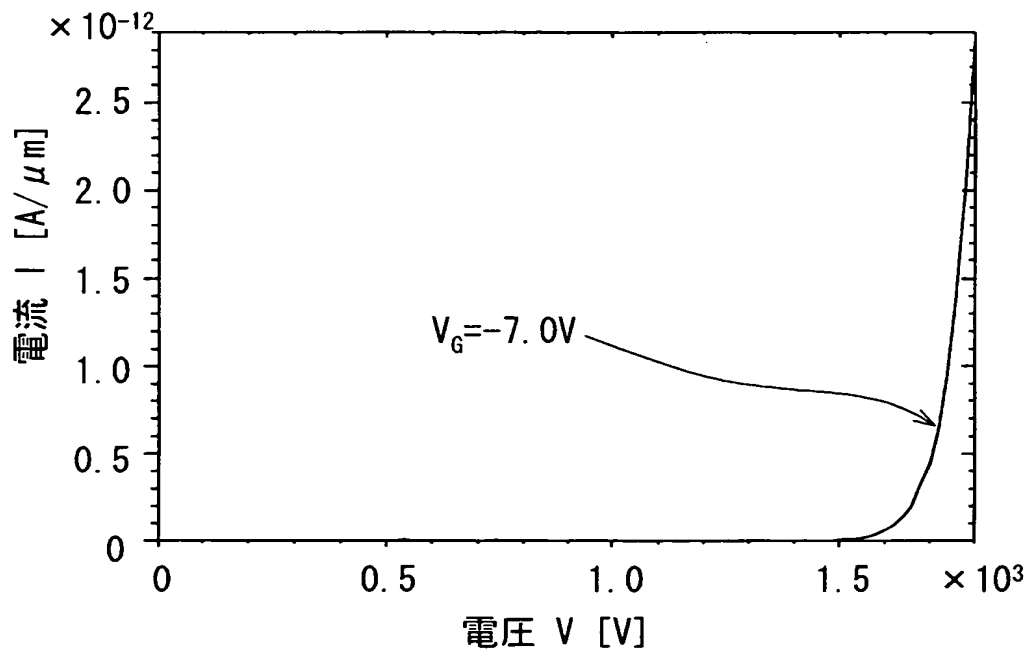


【図 3】

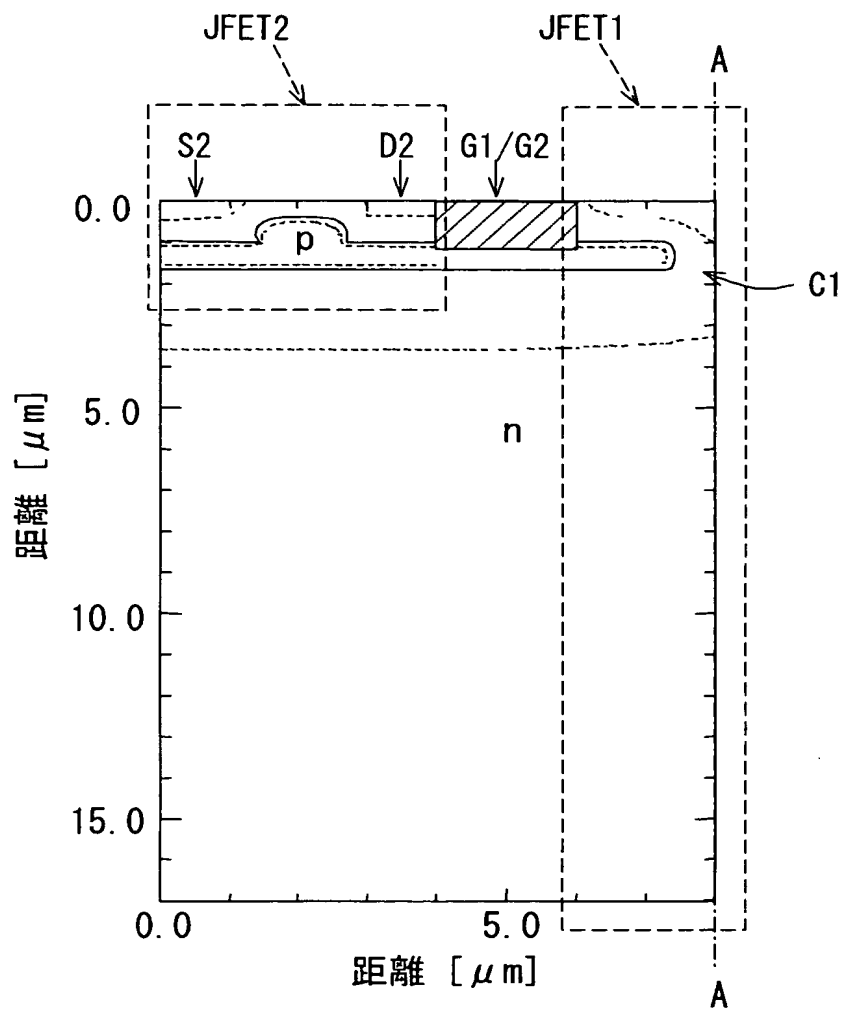
(a)



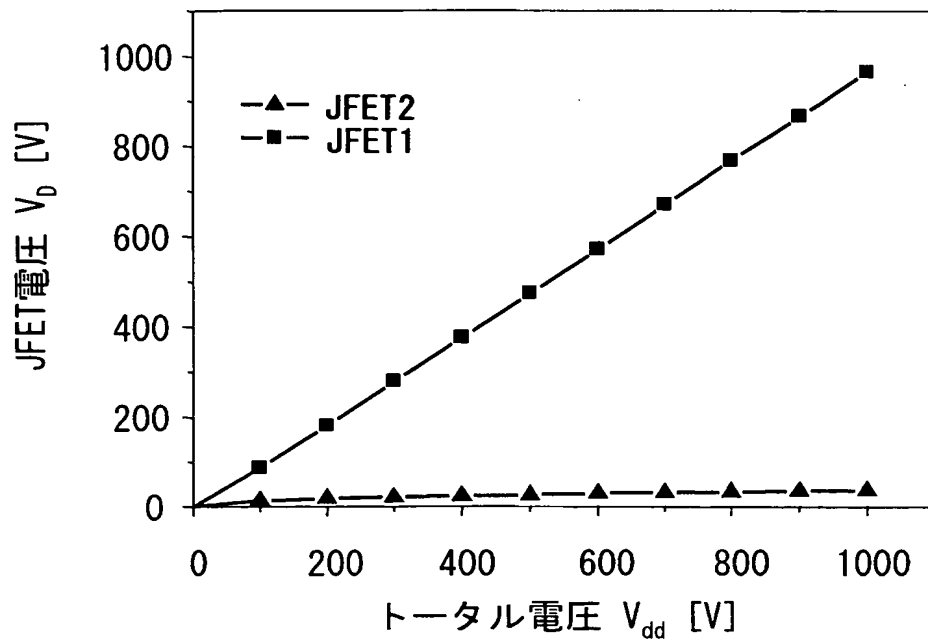
(b)



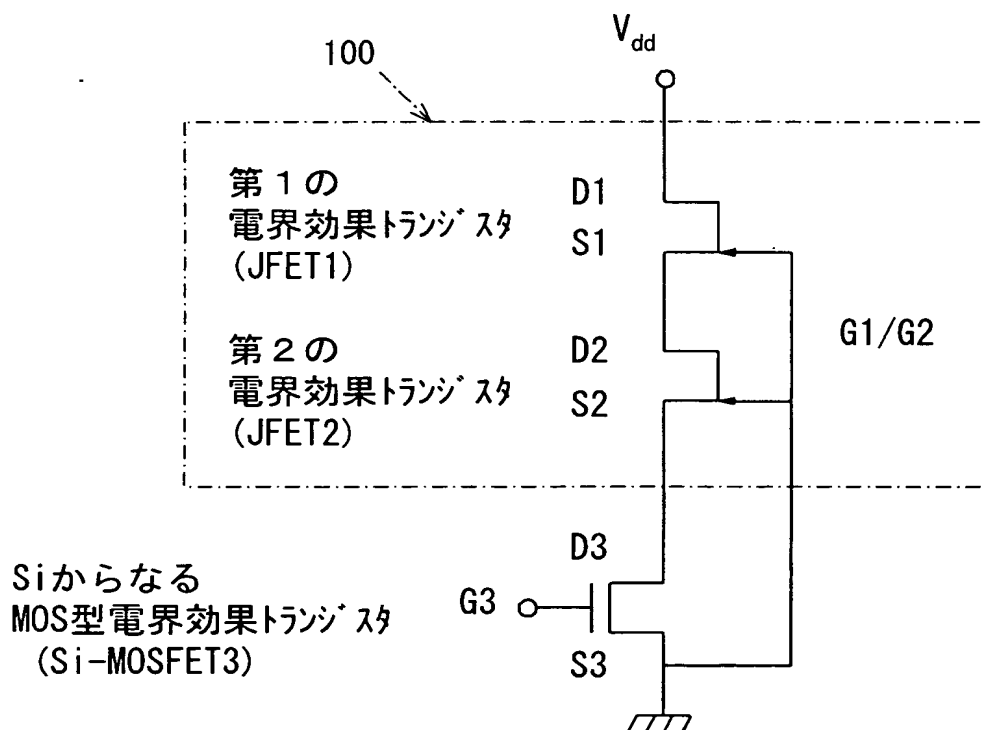
【図 4】



【図 5】

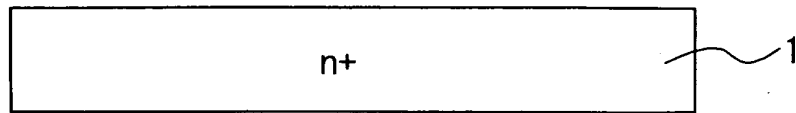


【図 6】

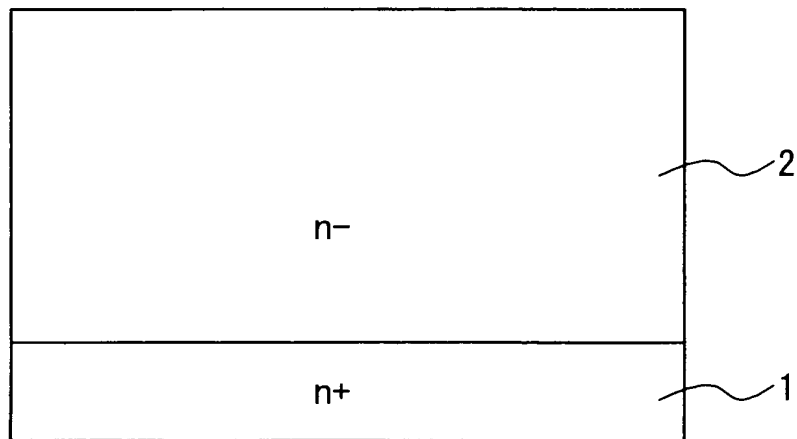


【図 7】

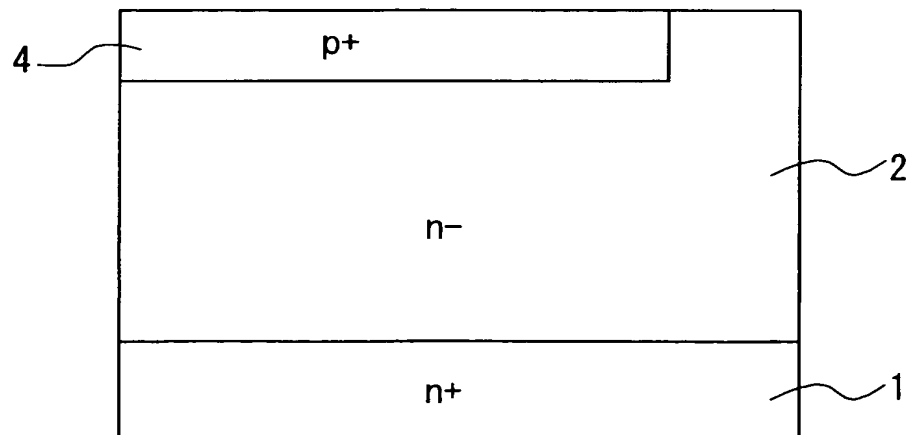
(a)



(b)

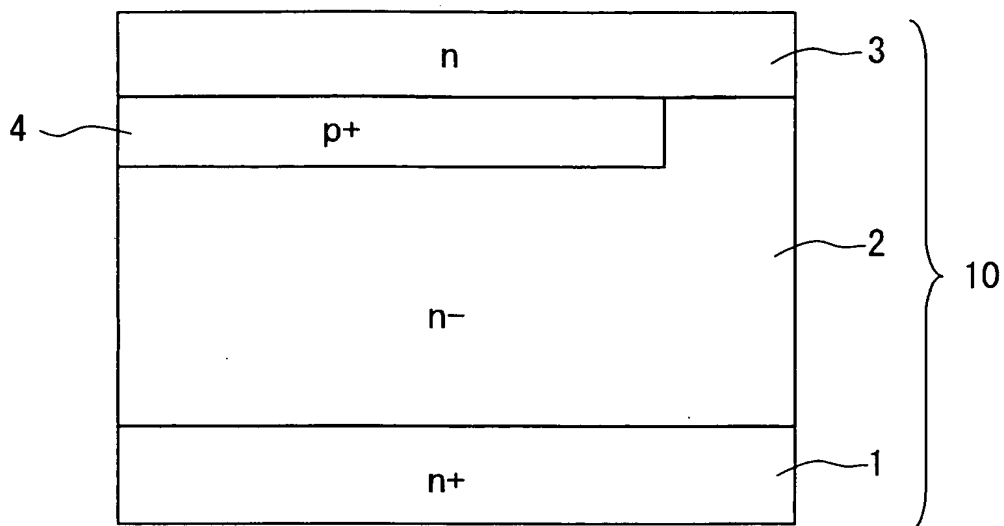


(c)

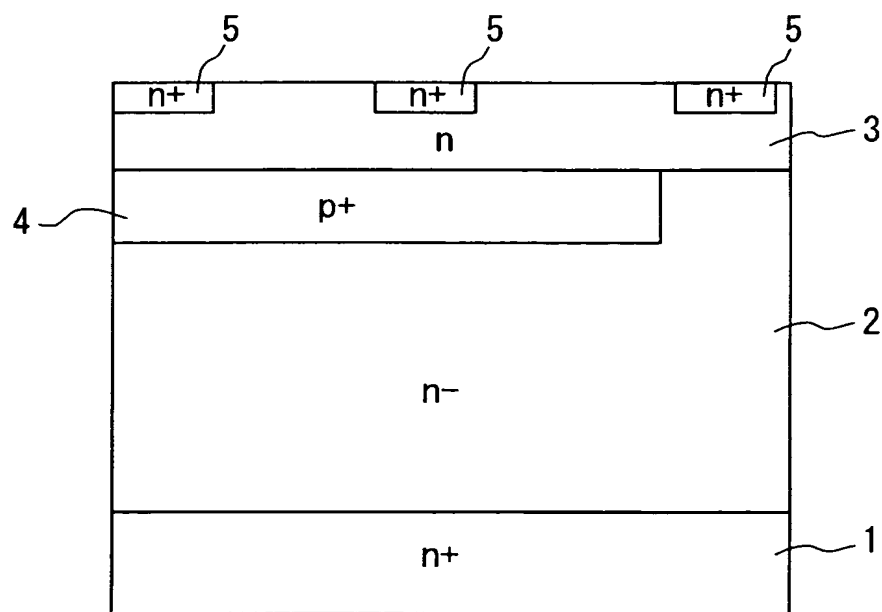


【図 8】

(a)

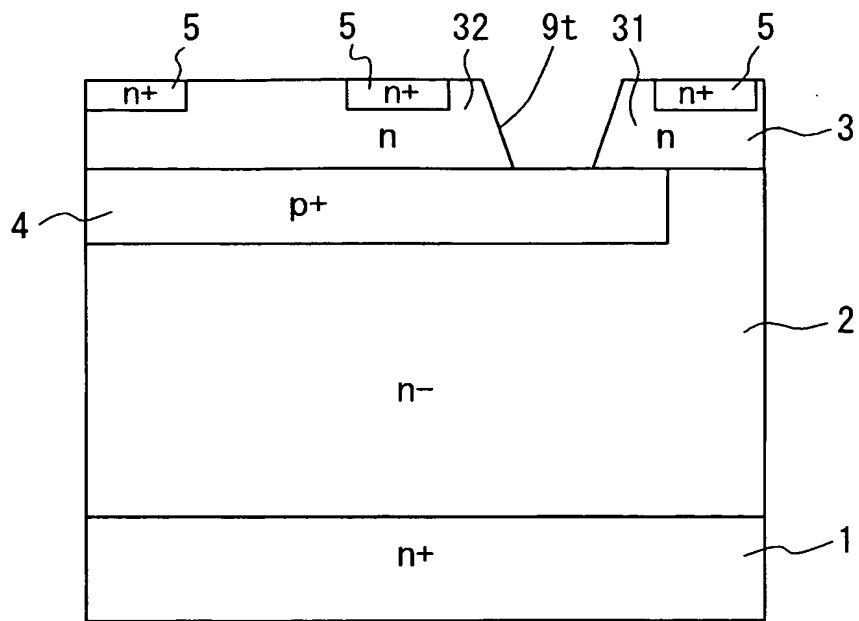


(b)

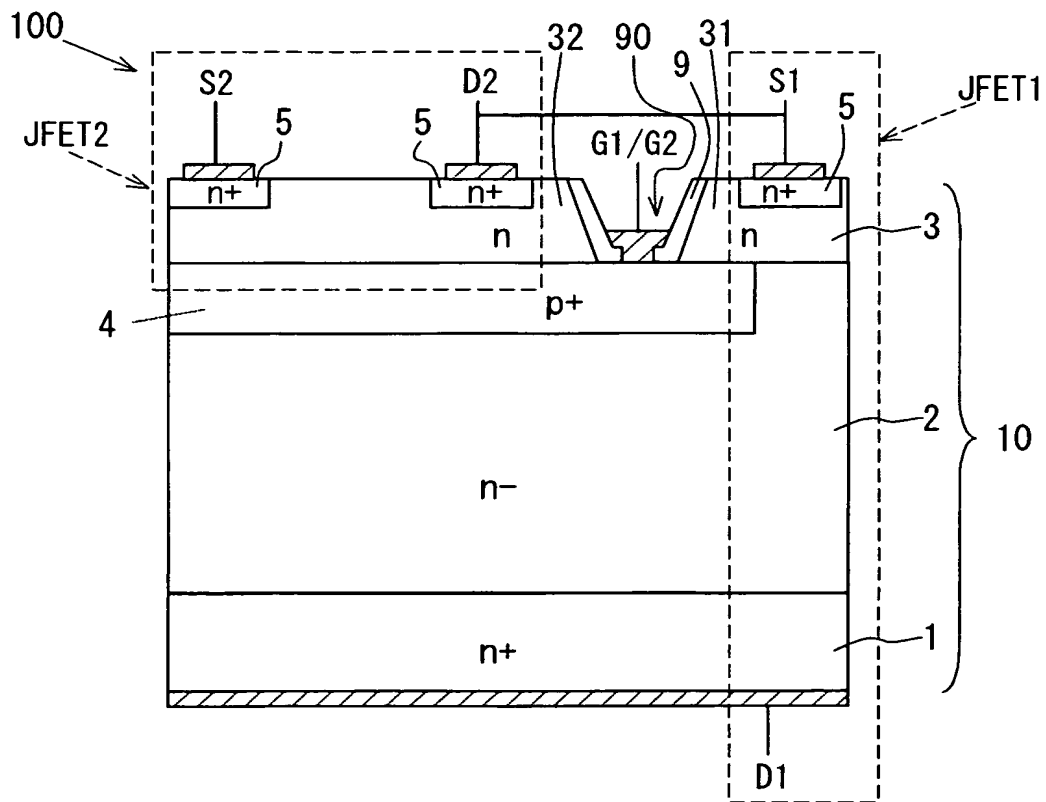


【図 9】

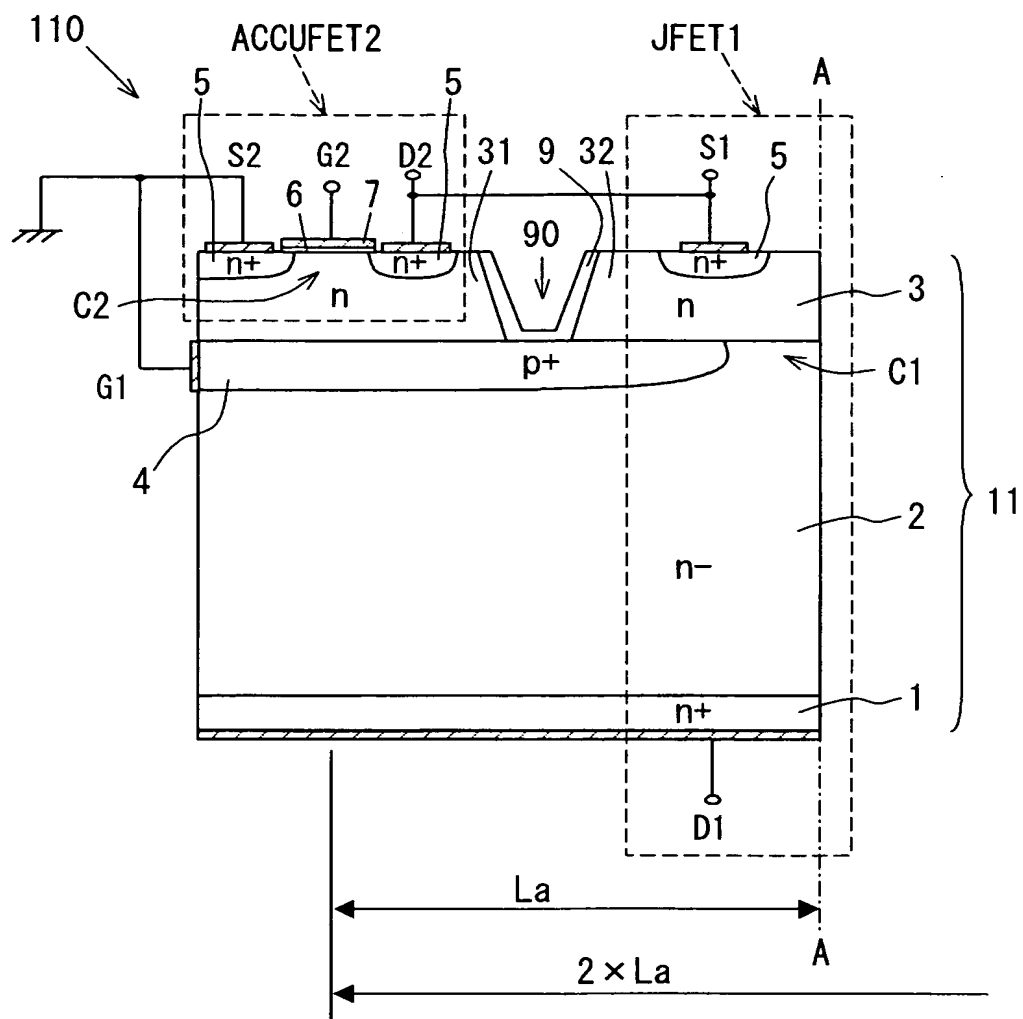
(a)



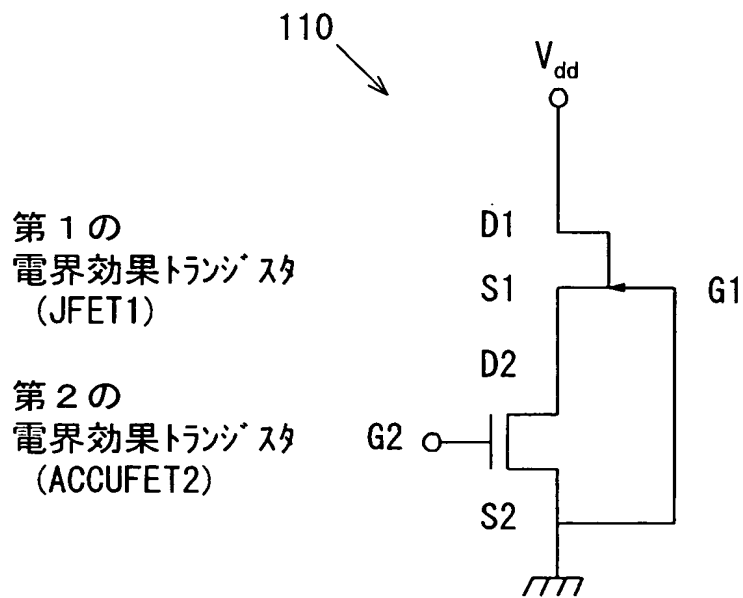
(b)



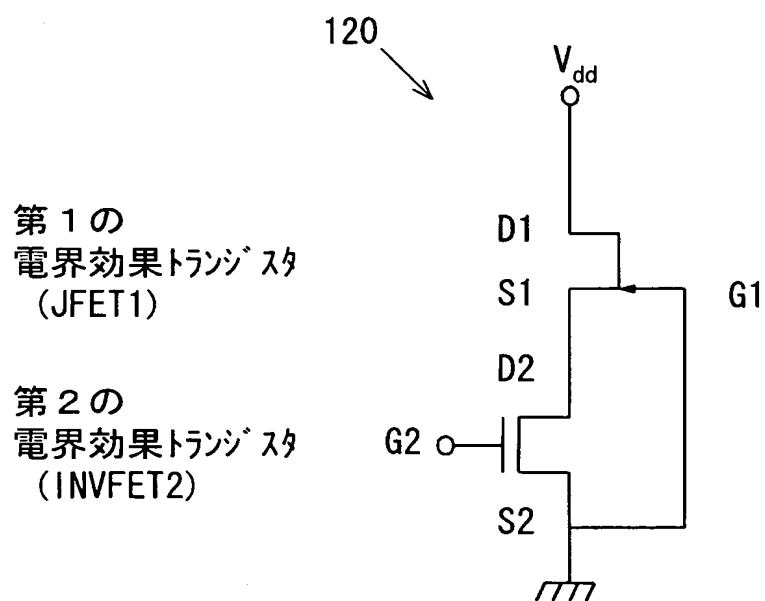
【図 10】



【図 11】



【図 13】



【書類名】 要約書

【要約】

【課題】 小型で配線による伝導損失が小さく、高温域で動作させることができる、高性能で安価な炭化珪素半導体装置およびその製造方法を提供する。

【解決手段】 第 1 の電界効果トランジスタ (J F E T 1) と、第 2 の電界効果トランジスタ (J F E T 2) とが、同じ炭化珪素からなる半導体基板 1 0 に集積化され、第 2 の電界効果トランジスタ (J F E T 2) のドレイン (D 2) が、第 1 の電界効果トランジスタ (J F E T 1) のソース (S 1) に接続され、第 2 の電界効果トランジスタ (J F E T 2) と第 1 の電界効果トランジスタ (J F E T 1) のゲート (G 1 / G 2) 同士が接続されてなる炭化珪素半導体装置 (1 0 0) とする。

【選択図】 図 1

特願 2 0 0 3 - 0 3 5 4 0 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー